

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026129

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/82  
G06F 17/50  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-202479

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.07.2000

(72)Inventor : OSAKI KIYOKO  
ABE KOJI

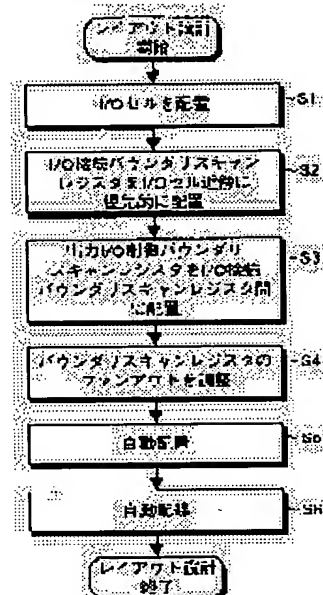
(54) METHOD OF DESIGNING LAYOUT OF LSI CHIP, AND COMPUTER- READABLE RECORDING MEDIUM WITH PROGRAM FOR EXECUTING THE METHOD OF COMPUTER RECORDED THEREON

(57)Abstract:

**PROBLEM TO BE SOLVED:** To automatically dispose a boundary scan register at an appropriate place and to adjust the number of fan-outs between a test control circuit and the boundary scan register by inserting the minimum number of buffers, in a method of designing layout of an LSI chip having the boundary scan register.

**SOLUTION:** After disposing I/O cells, I/O connection boundary scan registers are disposed with priority in a vacant region near the I/O cells, before disposing an internal logic circuit or the like. An output I/O control boundary scan register is disposed at a mid point between the I/O connection boundary scan registers or close to a side of the chip, which is closer to the mid point than the other sides are. Thereafter, before disposing cells for other circuits and forming a wiring pattern, a buffer cell is inserted in the net of a test signal for the boundary scan register connected to the test control circuit.

本発明にかかるLSIチップのレイアウト設計方法の一例の手順を示すフローチャート



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26129

(P2002-26129A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.	識別記号	F I	テマコード* (参考)
H 0 1 L 21/82		G 0 6 F 17/50	6 5 4 N 5 B 0 4 6
G 0 6 F 17/50	6 5 4		6 5 8 A 5 F 0 3 8
	6 5 8	H 0 1 L 21/82	P 5 F 0 6 4
H 0 1 L 27/04			T
21/822		27/04	T
審査請求 未請求 請求項の数8 O L (全 12 頁)			

(21) 出願番号 特願2000-202479(P2000-202479)

(22) 出願日 平成12年7月4日(2000.7.4)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 大崎 聖子

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 阿部 康治

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100104190

弁理士 酒井 昭徳

最終頁に続く

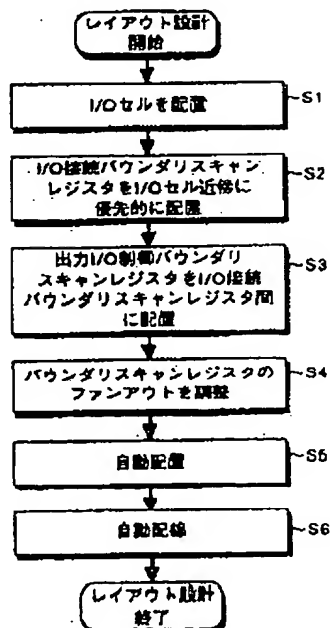
(54) 【発明の名称】 L S Iチップのレイアウト設計方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

## (57) 【要約】

【課題】 バウンダリスキャンレジスタを有するL S Iチップのレイアウト設計方法において、バウンダリスキャンレジスタを適切な位置に自動的に配置させるとともに、テスト制御回路とバウンダリスキャンレジスタとの間のファンアウト調整を、最小限の数のバッファの挿入によりおこなうこと。

【解決手段】 I/Oセルの配置後、内部ロジック回路などの配置前に、I/Oセルの近傍の空き領域にI/O接続バウンダリスキャンレジスタを優先的に配置する。そして、I/O接続バウンダリスキャンレジスタ同士の間中点またはその中間点により近い側のチップ辺に寄せて出力I/O制御バウンダリスキャンレジスタを配置する。その後、他の回路を構成するセルの配置および配線パターンの作成前に、テスト制御回路につながるバウンダリスキャンレジスタに対するテスト信号のネット中にバッファセルを挿入する。

本発明にかかるLSIチップのレイアウト設計方法の一例の手順を示すフローチャート



**【特許請求の範囲】**

**【請求項1】** バウンダリスキャンレジスタを有するLSIチップのレイアウト設計方法において、I/Oセルを配置する工程と、I/Oセルに接続されるI/O接続バウンダリスキャンレジスタを、配置された前記I/Oセル群のうちの接続対象であるI/Oセルの近傍の空き領域に配置する工程と、I/O接続バウンダリスキャンレジスタに接続される出力I/O制御バウンダリスキャンレジスタを、配置された前記I/O接続バウンダリスキャンレジスタ群のうちの接続対象である複数のI/O接続バウンダリスキャンレジスタの配置位置に基づいて配置する工程と、配置された前記I/O接続バウンダリスキャンレジスタおよび出力I/O制御バウンダリスキャンレジスタに対してファンアウト調整をおこなう工程と、他の回路を構成するセルを空き領域に配置する工程と、配線パターンを作成する工程と、を含むことを特徴とするLSIチップのレイアウト設計方法。

**【請求項2】** 前記出力I/O制御バウンダリスキャンレジスタを、接続対象である複数のI/O接続バウンダリスキャンレジスタ間の中間点に配置することを特徴とする請求項1に記載のLSIチップのレイアウト設計方法。

**【請求項3】** 出力I/O制御バウンダリスキャンレジスタの接続対象である複数のI/O接続バウンダリスキャンレジスタが隣り合う一対のチップ辺に沿って配置されている場合、前記出力I/O制御バウンダリスキャンレジスタを、前記一対のチップ辺のうち、接続対象である前記複数のI/O接続バウンダリスキャンレジスタ間の中間点により近い側のチップ辺に寄せて配置することを特徴とする請求項1に記載のLSIチップのレイアウト設計方法。

**【請求項4】** 前記ファンアウト調整は、隣り合って配置されたバウンダリスキャンレジスタのマンハッタン長に基づいて各バウンダリスキャンレジスタ間の見積もり配線長を計算し、該見積もり配線長に基づいて見積もり配線容量を計算し、該見積もり配線容量に基づいてテスト信号のネット中にバッファセルを、該バッファセルによって駆動されるバウンダリスキャンレジスタの各入力端子の負荷が前記バッファセルの出力端子の駆動能力範囲内に納まるように挿入することを特徴とする請求項1～3のいずれか一つに記載のLSIチップのレイアウト設計方法。

**【請求項5】** あらかじめ見積もり配線長と実際の配線長との差を補正する係数を求めておき、該補正係数を用いて前記バッファセルの出力端子の駆動能力を補正することを特徴とする請求項4に記載のLSIチップのレイアウト設計方法。

**【請求項6】** 前記バッファセルを、前記バッファセルが駆動する1または複数のバウンダリスキャンレジスタのうち、もっともテスト制御回路寄りに配置されたバウンダリスキャンレジスタの近傍に配置することを特徴とする請求項4または5に記載のLSIチップのレイアウト設計方法。

**【請求項7】** I/Oセルを配置する工程と、I/Oセルに接続されるI/O接続バウンダリスキャンレジスタを、配置された前記I/Oセル群のうちの接続対象であるI/Oセルの近傍の空き領域に配置する工程と、I/O接続バウンダリスキャンレジスタに接続される出力I/O制御バウンダリスキャンレジスタを、配置された前記I/O接続バウンダリスキャンレジスタ群のうちの接続対象である複数のI/O接続バウンダリスキャンレジスタの配置位置に基づいて配置する工程と、配置された前記I/O接続バウンダリスキャンレジスタおよび出力I/O制御バウンダリスキャンレジスタに対してファンアウト調整をおこなう工程と、他の回路を構成するセルを空き領域に配置する工程と、配線パターンを作成する工程と、を含むLSIチップのレイアウト設計方法をコンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

**【請求項8】** 前記プログラムは、前記ファンアウト調整をおこなうにあたって、隣り合って配置されたバウンダリスキャンレジスタのマンハッタン長に基づいて各バウンダリスキャンレジスタ間の見積もり配線長を計算し、該見積もり配線長に基づいて見積もり配線容量を計算し、該見積もり配線容量に基づいてテスト信号のネット中にバッファセルを、該バッファセルによって駆動されるバウンダリスキャンレジスタの各入力端子の負荷が前記バッファセルの出力端子の駆動能力範囲内に納まるように挿入するようにすることを特徴とする請求項7に記載のコンピュータ読み取り可能な記録媒体。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、バウンダリスキャンレジスタを有するLSIチップのレイアウト設計方法に関し、特にバウンダリスキャンレジスタの配置およびファンアウト調整を自動的におこなう方法に関する。

**【0002】**

**【従来の技術】** 従来、バウンダリスキャンレジスタを有するLSIチップのレイアウト設計では、テスト信号の逆流等による動作不良が起こらないようにするため、I/Oセルに接続される多数のバウンダリスキャンレジスタを、バウンダリスキャンレジスタに対するテスト信号のネットの交差が生じないように配置しておく必要がある。

【0003】また、配線終了後に容量オーバーやタイミングエラーが生じるのを防ぐため、テスト制御回路とバウンダリスキャンレジスタとのつながりにおいて、容量が出力端子の駆動能力を超えないようにするためのファンアウト調整を配線前におこなう必要がある。そのファンアウト調整において、LSIの面積や配線混雑度を抑えるため、最小限の数のバッファセルを最適位置に配置する必要がある。

【0004】このバウンダリスキャンレジスタの配置は、市販のテスト回路合成ツールを用いて自動的におこなわれている。このツールによれば、バウンダリスキャンレジスタはLSIの内部ロジック回路のセルに引き付けられて配置される。また、ファンアウト調整に関して、上述したツールは、容量オーバーやタイミングエラーが生じないような過大なファンアウト数を決め、それに基づいて一律にファンアウト調整をおこなうようになっている。

【0005】図13は、従来のテスト回路合成ツールによるバウンダリスキャンレジスタの自動配置結果を模式的に示す図であり、同図において、符号1はLSI全体、符号11はI/O領域、符号12を付した□(四角)のマークは、I/Oセルに接続されるI/O接続バウンダリスキャンレジスタ、符号13を付した◇(菱形)のマークは、I/O接続バウンダリスキャンレジスタ12に接続される出力I/O制御バウンダリスキャンレジスタである。

【0006】

【発明が解決しようとする課題】上述した従来のバウンダリスキャンレジスタの配置方法では、I/O接続バウンダリスキャンレジスタ12を内部ロジック回路のセルに引き付けて配置するため、図13に示すように、I/O接続バウンダリスキャンレジスタ12がLSI全体1に分散してしまい、テスト信号の流れとは無関係に配置されることになる。そのため、バウンダリスキャンレジスタに対するテスト信号のネットに交差が生じてしまい、テスト信号の逆流等による動作不良が起こることがあるという問題点が生じる。

【0007】また、上述した従来のファンアウト調整方法では、過大なファンアウト数を設定するため、過大な数のバッファが挿入されてしまう。それによって、LSIの面積増や、配線混雑度の増大という不都合を招くという問題点がある。

【0008】本発明は、上記問題点に鑑みてなされたものであって、バウンダリスキャンレジスタを適切な位置に自動的に配置させることができるとともに、テスト制御回路とバウンダリスキャンレジスタとの間のファンアウト調整を、最小限の数のバッファの挿入によりおこなうことができるLSIチップのレイアウト設計方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供す

ることを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明にかかるLSIチップのレイアウト設計方法は、バウンダリスキャンレジスタを有するLSIチップのレイアウト設計において、I/Oセルを配置した後、内部ロジック回路などの配置をおこなう前に、I/Oセルの近傍の空き領域にI/O接続バウンダリスキャンレジスタおよび出力I/O制御バウンダリスキャンレジスタを優先的に配置し、テスト制御回路につながるバウンダリスキャンレジスタに対するテスト信号のネット中にバッファセルを挿入することによって、ファンアウト調整をおこなうことを特徴とする。

【0010】この発明によれば、I/Oセルの配置後にI/O接続バウンダリスキャンレジスタの配置が優先的におこなわれるため、I/Oセルの配列に沿ってその近傍にI/O接続バウンダリスキャンレジスタを配置させることができる。

【0011】この発明において、出力I/O制御バウンダリスキャンレジスタは、I/O接続バウンダリスキャンレジスタ同士の間接点に配置される。その中間点が、I/O接続バウンダリスキャンレジスタの配置位置よりもチップ内部寄りであって、内部ロジック回路などの配置に支障がある場合には、出力I/O制御バウンダリスキャンレジスタを、その中間点により近い側のチップ辺に寄せて配置する。

【0012】このようにすれば、出力I/O制御バウンダリスキャンレジスタがI/O接続バウンダリスキャンレジスタ同士の間接点に配置されるため、出力I/O制御バウンダリスキャンレジスタの配置の偏りを防止することができる。また、バウンダリスキャンレジスタ間のネットをテスト信号の流れる方向に整然と配置させることができる。また、前記中間点がチップの内部寄りに位置する場合、出力I/O制御バウンダリスキャンレジスタはその中間点により近い側のチップ辺に寄せて配置されるため、チップ内部に配置される内部ロジック回路などの配置の妨げとなるのを防ぐことができる。

【0013】また、上記発明において、ファンアウト調整をおこなう際に、隣り合うバウンダリスキャンレジスタのマウント長に基づいて各バウンダリスキャンレジスタ間の配線長を計算し、その見積もり配線長に基づいて配線容量を見積もり、その見積もり配線容量に基づいて、テスト信号のネット中にバッファセルを挿入する。また、見積もり配線長と実際の配線長との差を補正するための係数を用いて、挿入するバッファセルの出力端子の駆動能力を補正する構成としてもよい。また、バッファセルの挿入位置は、そのバッファセルが駆動するバウンダリスキャンレジスタ群のうち、もっともテスト制御回路寄りに配置されたバウンダリスキャンレジスタの近傍である。

【0014】このようにすれば、実際の配線容量を見積もることができ、その見積もり配線容量に基づいてバッファセルの挿入箇所が決まるため、配線前に最小限の数のバッファセルをもってファンアウト調整をおこなうことができる。また、補正係数を用いることによって、より一層実際の配線に近い条件でファンアウト調整をおこなうことができるので、実際の配線後に容量オーバーとなるのをより確実に防ぐことができる。また、バッファセルがもっともテスト制御回路寄りに配置されたバウンダリスキャンレジスタの近傍に配置されるため、タイミングエラーなどが起こるのを防ぐことができる。

#### 【0015】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。まず、本発明にかかるLSIチップのレイアウト設計方法の一例の手順全体について説明する。

【0016】（レイアウト設計方法の全体の流れ）図1は、本発明にかかるLSIチップのレイアウト設計方法の一例の手順を示すフローチャートである。図1のフローチャートにおいて、LSIチップのレイアウト設計を開始すると、まずチップの辺に沿ってI/Oセルを配置する（ステップS1）。つづいて、配置されたI/Oセルに接続されるI/O接続バウンダリスキャンレジスタを、接続対象であるI/Oセルの近傍の空き領域に配置する（ステップS2）。つづいて、複数のI/O接続バウンダリスキャンレジスタに接続される出力I/O制御バウンダリスキャンレジスタを、接続対象であるI/O接続バウンダリスキャンレジスタ間の中間点に配置する（ステップS3）。

【0017】ステップS3につづいて、バウンダリスキャンレジスタのファンアウト調整をおこなう（ステップS4）。その後内部ロジック回路など、その他の回路を構成するセルの自動配置をおこない（ステップS5）、さらに自動配線をおこなって（ステップS6）レイアウト設計を終了する。

【0018】（I/Oセル・バウンダリスキャンレジスタの配置（ステップS1～S3））図2～図5は、それぞれ、本発明にかかるLSIチップのレイアウト設計方法を説明するための模式図である。図2において、符号2はLSI全体、符号21はI/Oセルの配列よりなるI/O領域、符号22を付した□（四角）のマークは、I/Oセルに接続されるI/O接続バウンダリスキャンレジスタ、符号23を付した◇（菱形）のマークは、I/O接続バウンダリスキャンレジスタ22に接続される出力I/O制御バウンダリスキャンレジスタである。すなわち、図2には、図1で示したステップS1～S3までの状態が示されている。

【0019】図2において、I/O領域21の各I/OセルとI/O接続バウンダリスキャンレジスタ22との間の矢印（↑、→、↓および←）24は、I/Oセルー

I/O接続バウンダリスキャンレジスタ22間のネットを示し、各バウンダリスキャンレジスタ22、23間をつなぐ線25は、各バウンダリスキャンレジスタ間のテスト信号のネットを示す。以上のマークや矢印や線などの表示は、図4および図5においても同じである。また、図2において、チップ2内を巡回するように記された大きな矢印を有する線26は、テスト信号の流れの向きを表している。

【0020】ここで、I/O接続バウンダリスキャンレジスタ22の配置位置を決定するにあたって、配置位置の検索をおこなう。これは、I/O接続バウンダリスキャンレジスタ22が接続するI/Oセルの近傍に、すでに電源配線や他のI/O接続バウンダリスキャンレジスタ22が配置されている場合、それらを避けてつぎに接続対象のI/Oセルに近い配置箇所を見つけるためである。

【0021】具体的には、図3に示すように、接続対象のI/Oセルの近傍を検索開始点27（図3の○（丸）印）とし、そこからチップ内部に向かって矢印を有する線28で示すように半円の渦巻状に空き領域を検索する。この検索方法は、出力I/O制御バウンダリスキャンレジスタ23の配置位置を検索する場合も同様であり、その場合には、接続対象であるI/O接続バウンダリスキャンレジスタ22間の中間点を検索開始点27（図3の○印）とする。

【0022】また、図4に示すように、出力I/O制御バウンダリスキャンレジスタ23の接続対象である複数のI/O接続バウンダリスキャンレジスタ22a、22bが異なるチップ辺に沿って配置されている場合、その中間点29（図4の○印）はI/O接続バウンダリスキャンレジスタ22、22a、22bの配置位置よりもチップの内側に位置することになる。このような場合には、出力I/O制御バウンダリスキャンレジスタ23を、図4の矢印30で示すように、その中間点29により近い側のチップ辺側に寄せて配置する。その際、座標に基づいて、いずれのチップ辺がより中間点29に近いと判断する。このように配置位置をずらすことによって、内部ロジック回路等の配置の妨げとなるのを防ぐことができる。

【0023】出力I/O制御バウンダリスキャンレジスタ23を、接続対象である複数のI/O接続バウンダリスキャンレジスタ22間の中間点に配置しない場合には、図5に示すように、その配置が偏ってしまう。これは、バウンダリスキャンレジスタ間のネット（図5において符号25で示す）がテスト信号の流れの方向に整然と並ばないため、好ましくない。なお、図5において、I/O領域21の各I/Oセルと出力I/O制御バウンダリスキャンレジスタ23とを結ぶ線31は、出力I/O制御のネットを示す。

【0024】（ファンアウト調整（ステップS4））つ

ぎに、ステップS4のファンアウト調整の方法について詳細に説明する。図6は、本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整方法の一例の手順を示すフローチャートである。

【0025】図6のフローチャートにおいて、まず、見積もり配線長および配線容量を計算する(ステップS41)。すなわち、配置された各バウンダリスキャンレジスタ間の配線長を見積もり、その見積もり配線長に基づいて配線容量を見積もる。具体的な方法については、図7を用いて後述する。

【0026】ステップS41につづいて、テスト制御回路側のバウンダリスキャンレジスタから、その容量の評

$$[Drv] \times [ratio] \times \alpha > [NetC] + [BsrL] + [BufL] \quad \dots (1)$$

【0028】この式において、Drvは挿入するセルの出力端子駆動能力、ratioは駆動能力に対する負荷許容量、 $\alpha$ は見積もり配線長と実際の配線長とのずれを考慮した補正係数でありゼロより大きく1以下の数値である。また、NetCはテスト制御回路側からi+1番目～i+n番目のバウンダリスキャンレジスタの配線容量の和、BsrLはテスト制御回路側からi+1番目～i+n番目のバウンダリスキャンレジスタの入力負荷の和、BufLは次段の挿入バッファセルの入力負荷の和である。

【0029】ここで、補正係数 $\alpha$ を用いる理由について説明する。配線長の見積もりは、各バウンダリスキャンレジスタの配置座標に基づいてその最短経路を求めることにより得られる。それに対して、実際の配線では、セルの混雑や配線禁止領域の影響などにより配線が回り込むことがあり、それによって実際の配線長は見積もり配線長よりも長くなる。したがって、実際の配線容量は見積もり配線容量よりも大きくなる。これを補正して実際の配線により近い状態でファンアウト調整をおこなうため、補正係数 $\alpha$ が必要となる。

【0030】補正係数 $\alpha$ は、たとえば既存の複数種類のLSIチップについて、その実際の配線長と上述したマンハッタン長に基づく見積もり配線長とのずれを求め、その分析により数値的にある一定の傾向があることを見いだすことによって、求められる。具体的な方法については、図8を用いて後述する。

【0031】つぎに、ステップS46において、前記(1)式を満たす場合(ステップS46:Yes)には、nを1だけインクリメントして(ステップS47)、つぎのバウンダリスキャンレジスタも評価に加える。そして、ステップS45に戻り、最終のバウンダリスキャンレジスタに到達している場合(ステップS45:Yes)、ファンアウト調整を終了する。したがって、図1に示したステップS5へ移行することになる。

【0032】一方、最終のバウンダリスキャンレジスタに到達していない場合(ステップS45:No)、ス

価をおこなう(ステップS42)。そして、収束済みバウンダリスキャンレジスタの個数iにゼロをセット(代入)する(ステップS43)。ここで、iはテスト制御回路側からつながるバウンダリスキャンレジスタの順番も意味するものである。そして、評価するバウンダリスキャンレジスタの個数nに1をセット(代入)する(ステップS44)。つづいて、最終のバウンダリスキャンレジスタに到達したか否かの判定を経て(ステップS45)、つぎの(1)式を満たすか否かの判定をおこなう(ステップS46)。

【0027】

ップS46へ進む。ステップS46において、前記

(1)式を満たす場合(ステップS46:Yes)には、再びnを1だけインクリメントして(ステップS47)、ステップS45に戻り、さらにつぎのバウンダリスキャンレジスタも評価に加える。

【0033】前記(1)式を満たさない場合(ステップS46:No)には、このバウンダリスキャンレジスタの手前のバウンダリスキャンレジスタまで収束したことになる。したがって、nを1だけデクリメントして、バウンダリスキャンレジスタの収束個数を1個減らす(ステップS48)。そして、i番目のバウンダリスキャンレジスタからn個分収束されるように論理回路の論理構成を変更し(ステップS49)、さらに、iにi+nを代入し(ステップS50)、その後、ステップS44に戻る。これ以降、ステップS45において最終のバウンダリスキャンレジスタに到達し、ファンアウト調整が終了するまで、同様の処理(ステップS44～ステップS50の各処理)を繰り返す。

【0034】図7は、それぞれ、本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整方法を説明するための模式図である。図6に示したフローチャートのステップS41において、配置された各バウンダリスキャンレジスタ間の配線長を見積もり、その見積もり配線長に基づいて配線容量を見積もる際、たとえば図7に示すように、隣り合うバウンダリスキャンレジスタ41、42、43に対し、それぞれの配置座標に基づいて最短となる組合せを選択し、その時のマンハッタン長を見積もり配線長とする。なお、図7において、#1～#6はバウンダリスキャンレジスタの端子であり、#2と#3と#5の端子を結ぶ線44は見積もり配線経路を表している。

【0035】図8は、それぞれ、本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整方法を説明するための模式図である。上述のとおり、ステップS46において、補正係数 $\alpha$ は、たとえば既存の複数種類のLSIチップについて、その実際の配線長と



上述したマンハッタン長に基づく見積もり配線長とのずれを求め、その分析により数値的にある一定の傾向があることを見いだすことによって求められるが、その際、たとえば図8に示すように、縦長のバウンダリスキャンレジスタ51、52に対して配線53が縦方向に回り込んだ場合(符号54で示す部分)と、横方向に回り込んだ場合(符号55で示す部分)とでは、見積もり配線長に含まれない配線部分(図8の矢印部分)の長さが異なる。

$$\alpha = (N_h / (N_h + N_v)) \times \gamma + (N_v / (N_h + N_v)) \times \beta \quad \dots (2)$$

【0038】この式において、 $N_h$ は水平方向(横方向、X方向)に並ぶバウンダリスキャンレジスタの数であり、 $N_v$ は垂直方向(縦方向、Y方向)に並ぶバウンダリスキャンレジスタの数である。なお、バウンダリスキャンレジスタの並ぶ方向については、2つのバウンダリスキャンレジスタ間の距離に関して、X方向長がY方向長よりも長い場合(X方向長>Y方向長)には水平方向並びであり、Y方向長がX方向長よりも長い場合(Y方向長>X方向長)には垂直方向並びであると判断する。

【0039】図9は、バウンダリスキャンレジスタを配置した後、ファンアウト調整をおこなう前のバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図である。また、図10は、ファンアウト調整後のバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図である。

【0040】なお、図9～図10において、CDRはデータ・レジスタのキャプチャ・クロック端子、TDIはシリアル・テストデータ入力端子、TDOはシリアル・テストデータ出力端子、AおよびXはそれぞれバッファセルの入力端子および出力端子である。

【0041】図9および図10において、符号61～68を付したB1～BZはそれぞれバウンダリスキャンレジスタである。それらバウンダリスキャンレジスタ61～68は、B1からBZに向かうチェーン方向でテスト制御回路60に接続されている。

【0042】図9に示すように、ファンアウト調整前は、すべてのバウンダリスキャンレジスタ61～68のキャプチャ・クロック(CDR)端子は一つのネット(NET1)71に属している。このネット71は、テスト制御回路60のデータ・レジスタのキャプチャ・クロック(CDR)端子に接続されている。ファンアウト調整後は、図10に示すように、バウンダリスキャンレジスタ61～68の各キャプチャ・クロック端子につながるネットは、ネット中の最適位置にそれぞれ挿入された複数のバッファセル(INST1、INST2、INST3)81、82、83により複数のネット(NET1、NET2、NETn)72、73、74に分割さ

る。バウンダリスキャンレジスタが横長の場合も同様である。

【0036】したがって、配線が縦方向に回り込む場合の補正係数 $\beta$ と横方向に回り込む場合の補正係数 $\gamma$ を設定し、その2つの補正係数 $\beta$ 、 $\gamma$ を用いて全体の補正係数 $\alpha$ をつぎの(2)式より求める。

【0037】

れている。

【0043】図10に示す例では、第1のバッファセル(INST1)81は、第1のネット(NET1)72に属するB2、BYおよびBXのバウンダリスキャンレジスタ68、67、66の各キャプチャ・クロック端子を駆動する。第1のバッファセル(INST1)81は、バウンダリスキャンレジスタのチェーン最後尾に配置されたBZのバウンダリスキャンレジスタ68の近傍に挿入される。

【0044】また、第2のバッファセル(INST2)82は、第2のネット(NET2)73に属するBWおよびB4のバウンダリスキャンレジスタ65、64の各キャプチャ・クロック端子を駆動する。第2のバッファセル(INST2)82は、駆動対象であるバウンダリスキャンレジスタのうちもっともテスト制御回路60に近いBWのバウンダリスキャンレジスタ65の近傍に挿入される。

【0045】同様に、第3のバッファセル(INST3)83は、第nのネット(NETn)74に属するB3、B2およびB1のバウンダリスキャンレジスタ63、62、61の各キャプチャ・クロック端子を駆動する。第3のバッファセル(INST3)83は、駆動対象であるバウンダリスキャンレジスタのうちもっともテスト制御回路60に近いB3のバウンダリスキャンレジスタ63の近傍に挿入される。これら第1～第3のバッファセル(INST1、INST2、INST3)81、82、83は、この順で、バウンダリスキャンレジスタのチェーン最後尾側から挿入される。

【0046】比較として、図11には、バッファセルが最適位置に配置されていない状態でのバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットが示されている。図11では、複数のバッファセル(INST1、INST2、INST3)91、92、93の各配置位置は、図10に関連して説明したような最適位置、すなわち駆動対象であるバウンダリスキャンレジスタ群のうちもっともテスト制御回路60に近いバウンダリスキャンレジスタの近傍になっていない。そのため、ネットに長い配線が生じ、容量オーバーやタイミングエラーを発生させる原因となってしまうので、好ましくない。

【0047】上述したレイアウト設計方法をコンピュータに実行させるためのプログラムは、コンピュータ読み取り可能な記録媒体に記録され、コンピュータを用いた計算機援用設計装置（以下、CAD装置とする）により実現される。このプログラムは、ハードディスク、フロッピー（登録商標）ディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、伝送媒体として、または、上記記録媒体を介して、インターネット等のネットワークを介して配布することができる。

【0048】（CAD装置の構成）図12は、上述したレイアウト設計方法の実施に供されるCAD装置の一例の構成を示すブロック図である。このCAD装置は、たとえばCPU101、ROM102、RAM103、HDD（ハードディスクドライブ）104、FDD（フロッピーディスクドライブ）106、ディスプレイ108、通信インターフェイス（I/F）109、キーボード111、マウス等（種々のポインティング・デバイスを含む）112、スキャナ113、プリンタ114およびCD-ROMドライブ116がバス100を介して相互に接続された構成となっている。

【0049】上述したレイアウト設計方法をコンピュータに実行させるためのプログラムは、FD107やCD-ROM115に記録される。また、FD107やCD-ROM115に記録されたプログラムはHD105に格納されて実行される。

【0050】CPU101は装置全体の制御をおこなう。ROM102はブートプログラム等を記憶している。RAM103はCPU101のワークエリアとして使用される。HDD（ハードディスクドライブ）104は、CPU101の制御にしたがってHD（ハードディスク）105に対するデータの書き込みおよび読み出しを制御する。FDD（フロッピーディスクドライブ）106は、CPU101の制御にしたがって、着脱可能な記録媒体であるFD（フロッピーディスク）107に対するデータの書き込みおよび読み出しを制御する。

【0051】ディスプレイ108は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報等のデータに関するウィンドウ（ブラウザ）を表示する。通信インターフェイス（I/F）109は、有線または無線の通信回線110を介してネットワーク150に接続され、ネットワーク150と内部とのインターフェイスを司る。

【0052】キーボード111は、文字、数値、各種指示等の入力のための複数のキーを備える。マウス等112は、カーソルの移動や範囲選択、あるいはウィンドウの移動やサイズの変更、アイコンの選択、移動等をおこなうのに使用される。スキャナ113は画像を光学的に

読み取るための装置である。プリンタ114は、ウィンドウに表示された内容等を印刷する。CD-ROMドライブ116は、着脱可能な記録媒体であるCD-ROM115に対するデータの読み出しを制御する。

【0053】上述した実施の形態によれば、I/Oセルの配置後にI/O接続バウンダリスキャンレジスタ22を優先的に配置し、そのI/O接続バウンダリスキャンレジスタ22の配置に基づいて出力I/O制御バウンダリスキャンレジスタ23を配置し、さらにその後バウンダリスキャンレジスタ間の配線長を見積もって、ファンアウト調整をおこなうため、バウンダリスキャンレジスタ22、23をI/Oの配列に沿ってその近傍に自動的に配置させることができるとともに、ファンアウト調整を、最小限の数のバッファセル81、82、83の挿入により実現することができる。

【0054】それによって、バウンダリスキャンレジスタに対するテスト信号のネットの交差をなくすることができるため、テスト信号の逆流等による動作不良が起こるのを防ぐことができる。また、バッファセルの挿入数を抑えることができるので、LSIの面積増や、配線混雑度の増大という不都合を回避することができる。さらには、人手によりバウンダリスキャンレジスタを配置したり、ファンアウト調整をおこなう必要がないため、LSIの開発工数が大幅に削減される。

【0055】たとえば、上述した実施の形態によれば、挿入されるバッファセルの数は、従来の市販のテスト回路合成ツールを用いてファンアウト調整をおこなった場合に挿入されるバッファセルの数の十〜数十分の1程度となる。本発明者らがあるLSIについて検証した結果、従来のツールではバッファセルの挿入数が370であったのに対し、実施の形態によれば29であり、しかも配線後の容量オーバーやタイミングエラーはゼロであった。

【0056】以上において本発明は、上述した実施の形態および図示例に限らず、本発明の要旨を逸脱しない範囲で、種々変更可能である。

#### 【0057】

【発明の効果】本発明によれば、I/Oセルの配置後にI/O接続バウンダリスキャンレジスタを優先的に配置し、そのI/O接続バウンダリスキャンレジスタの配置に基づいて出力I/O制御バウンダリスキャンレジスタを配置し、さらにその後バウンダリスキャンレジスタ間の配線長を見積もって、ファンアウト調整をおこなうため、バウンダリスキャンレジスタをI/Oの配列に沿ってその近傍に自動的に配置させることができるとともに、ファンアウト調整を、最小限の数のバッファセルの挿入により実現することができる。

#### 【図面の簡単な説明】

【図1】本発明にかかるLSIチップのレイアウト設計方法の一例の手順を示すフローチャートである。

【図2】本発明にかかるLSIチップのレイアウト設計方法を説明するための他の模式図である。

【図3】本発明にかかるLSIチップのレイアウト設計方法を説明するための他の模式図である。

【図4】本発明にかかるLSIチップのレイアウト設計方法を説明するための他の模式図である。

【図5】本発明にかかるLSIチップのレイアウト設計方法を説明するための他の模式図である。

【図6】本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整の一例の手順を示すフローチャートである。

【図7】本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整方法（ステップS41）を説明するための模式図である。

【図8】本発明にかかるLSIチップのレイアウト設計方法におけるファンアウト調整方法（ステップS46）を説明するための模式図である。

【図9】ファンアウト調整をおこなう前のバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図である。

【図10】ファンアウト調整後のバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図である。

【図11】バッファセルが最適位置に配置されていない

状態でのバウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図である。

【図12】本発明にかかるLSIチップのレイアウト設計方法の実施に供せられるCAD装置の構成を示すブロック図である。

【図13】従来のテスト回路合成ツールによるバウンダリスキャンレジスタの自動配置結果を模式的に示す図である。

#### 【符号の説明】

#### 2 LSI

21 I/O領域

22, 22a, 22b I/O接続バウンダリスキャンレジスタ

23 出力I/O制御バウンダリスキャンレジスタ

29 I/O接続バウンダリスキャンレジスタ間の中間点

41~43, 51~52, 61~68 バウンダリスキャンレジスタ

44 見積もり配線経路

60 テスト制御回路

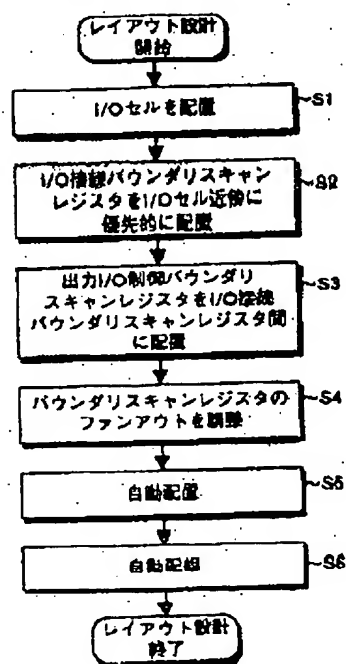
71, 72, 73, 74 ネット

81, 82, 83 バッファセル

107, 115 記録媒体

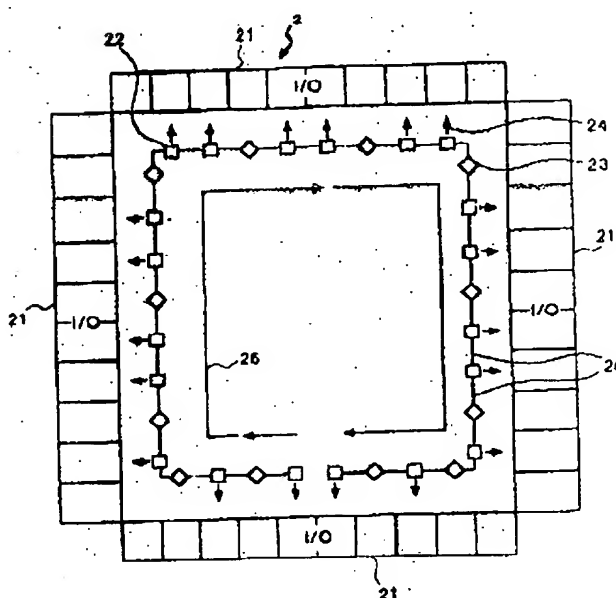
【図1】

本発明にかかるLSIチップのレイアウト設計方法の一例の手順を示すフローチャート



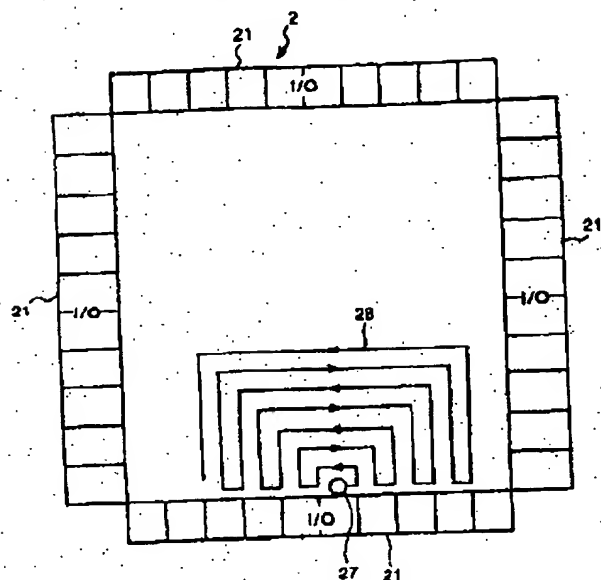
【図2】

本発明にかかるLSIチップのレイアウト設計方法を説明するための模式図



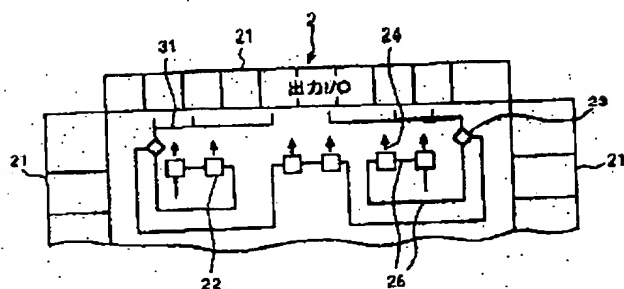
【例3】

本発明にかかるLSIチップのレイアウト設計方法を  
説明するための模式図



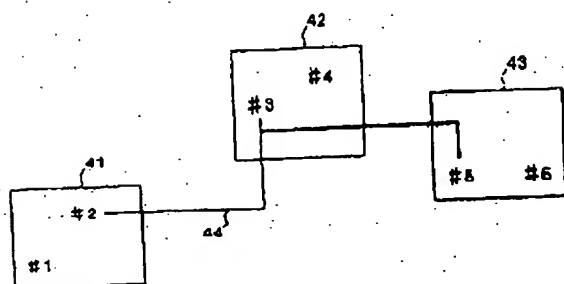
【5】

本発明にかかるLSIチップのレイアウト設計方法を説明するための模式図



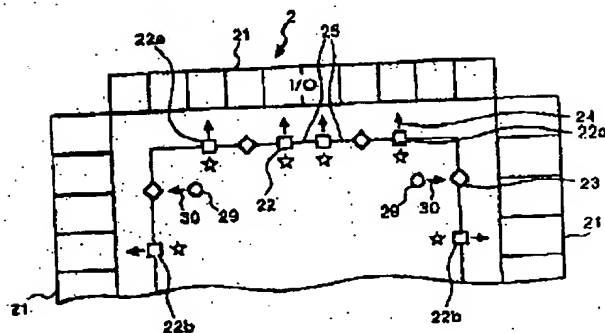
【图7】

本発明にかかるLSIチップのレイアウト設計方法における  
ファンアウト調整方法を説明するための模式図（ステップS41）



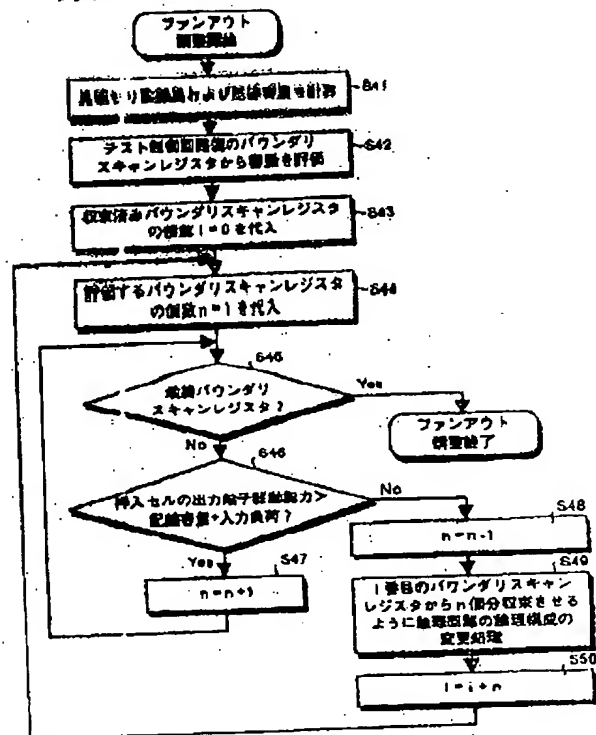
【图4】

本発明にかかるLSIチップのレイアウト設計方法を  
説明するための模式図



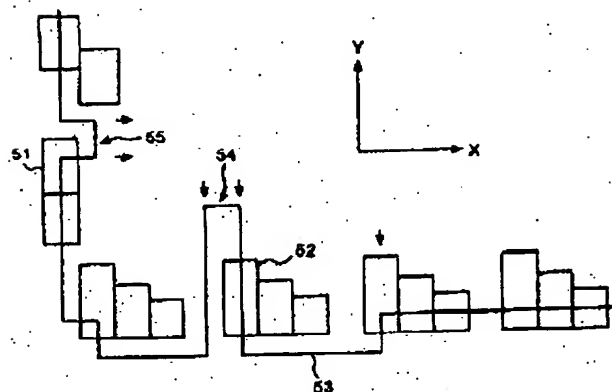
【例 6】

本発明にかかるLSIチップのレイアウト設計方法における  
ファンアウト調整の一例の手順を示すフローチャート



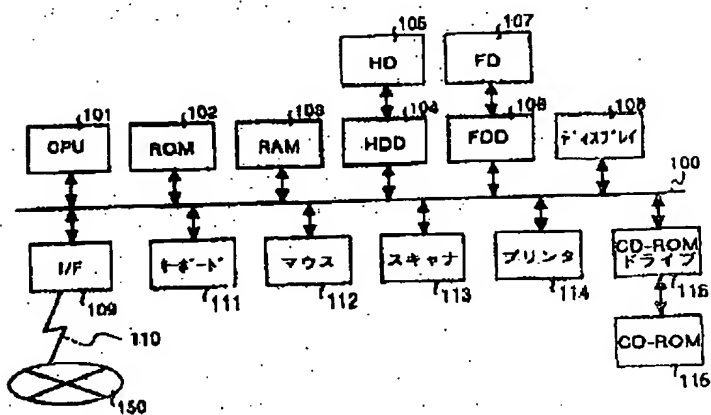
【図8】

本発明にかかるLSIチップのレイアウト設計方法における  
ファンアウト調整方法を説明するための模式図 (ステップS46)



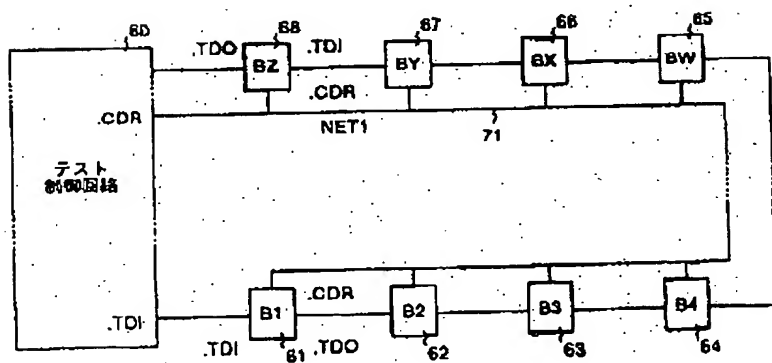
【図12】

本発明にかかるLSIチップのレイアウト設計方法の実施に  
供せられるCAD装置の構成を示すブロック図



【図9】

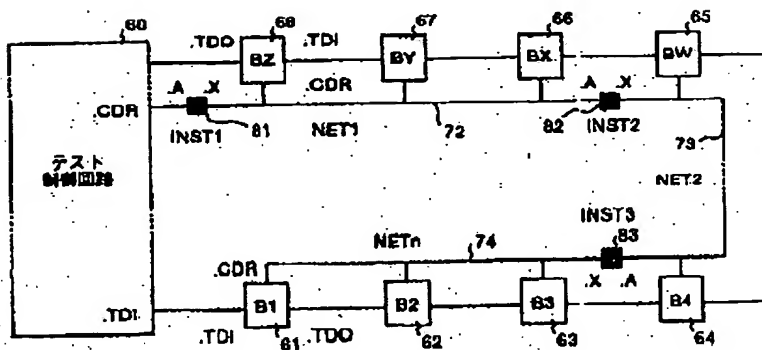
バウンダリスキャンレジスタ間のネットおよびバウンダリスキャン  
レジスタに対するテスト信号のネットを示す説明図 (組立前)



17

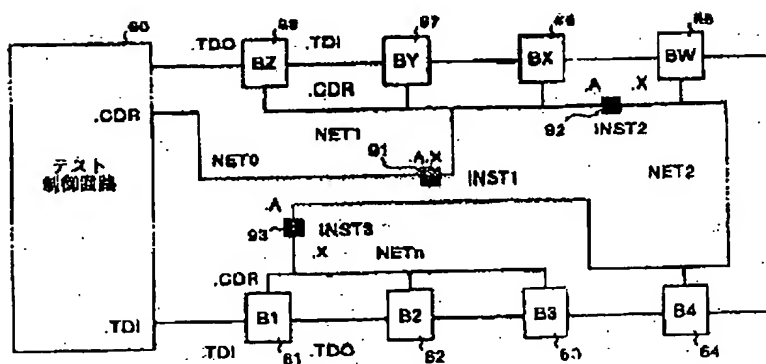
【図10】

バウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図（網羅後）



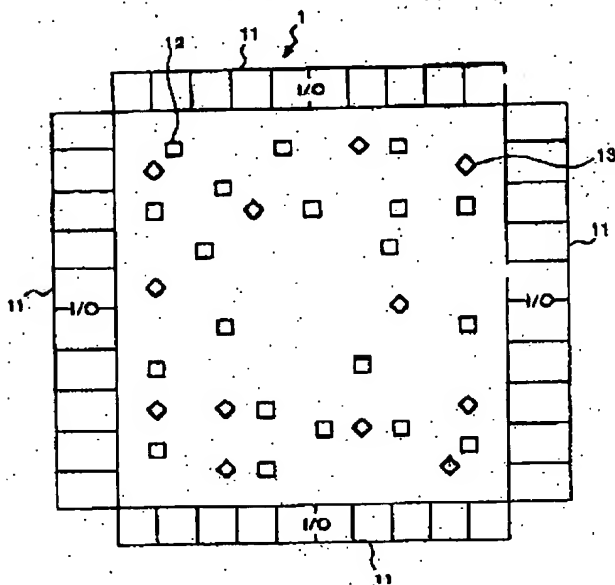
【図11】

バウンダリスキャンレジスタ間のネットおよびバウンダリスキャンレジスタに対するテスト信号のネットを示す説明図（最適位置に配置されていない状態）



$$\frac{18}{18}$$

従来のテスト回路合成ツールによるバウンダリスキャンレジスタの  
自動配置結果を模式的に示す図



Fターム(参考) 5B046 AA08 BA04  
 5F038 CA03 DT05 DT06 DT10 DT15  
 EZ20  
 5F064 DD02 DD32 DD39 EE02 EE08  
 EE43 EE51 EE58 HH01 HH06  
 HH13 HH14